

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-291013

(43)Date of publication of application : 20.12.1991

(51)Int.Cl.

H03K 19/0185

(21)Application number : 02-093426

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 09.04.1990

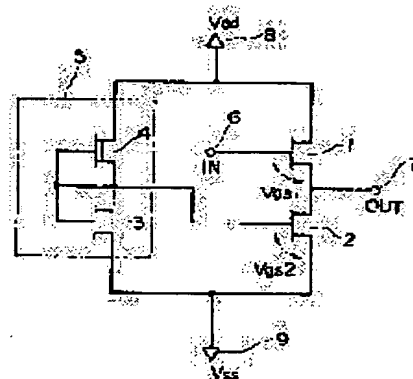
(72)Inventor : MATSUMOTO KAZUYA

(54) LEVEL SHIFT CIRCUIT

(57)Abstract:

PURPOSE: To obtain a stable shift circuit immune from the effect of power voltage fluctuation and temperature fluctuation by forming a source follower level shift circuit of 1st and 2nd FETs and providing an inverter being a control voltage supply circuit in parallel with them.

CONSTITUTION: A gate.source voltage V_{gs2} of a FET 2 is decided by a control voltage outputted from a control voltage supply circuit 5 and a low level voltage V_{ss} , and a gate.source voltage V_{gs1} of a FET 1 is decided definitely depending on the voltage V_{gs2} . Since the FETs 1, 2 are manufactured identically, the dispersion due to fluctuation of the condition at manufacture is cancelled and the voltages V_{gs1} and V_{gs2} are always equal to each other. Moreover, the circuit 5 is connected in parallel with the FETs 1, 2, then the fluctuation in the power supply voltage is absorbed by a change in the drain.gate voltage of the FETs 1, 4. Thus, the signal voltage inputted to an input terminal 6 is outputted from an output terminal 7 as a voltage shifted by the voltage V_{gs1} .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

平3-291013

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月20日

H 03 K 19/0185

8941-5 J H 03 K 19/00

1 0 1 B p2

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 レベルシフト回路

⑯ 特 願 平2-93426

⑰ 出 願 平2(1990)4月9日

⑱ 発 明 者 松 本 一 也 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社
横浜製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑳ 代 理 人 弁理士 長谷川 芳樹 外3名

明 細 書

1. 発明の名称

レベルシフト回路

2. 特許請求の範囲

ドレインが高電位側の電源に接続された第1のFETと、ドレインが第1のFETのソースに接続されソースが低電位側の電源に接続された第2のFETと、第1および第2のFETからなる直列回路に対して並列に接続されると共に入力端子と出力端子が短絡されて第2のFETのゲートに接続されたインバータとを有し、

第1のFETのゲートを入力端子とし第1のFETのソースを出力端子とするレベルシフト回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路の内部において、論理しきい値の異なる回路間で電圧レベルの変換を

行うレベルシフト回路に関するものである。

〔従来の技術〕

入力電圧を一定電圧レベルシフトさせる場合、第2図に示すように電界効果トランジスタ(FET)21、22を直列に接続したソースホロワ型レベルシフト回路が広く用いられる。同図において、符号23、24、25は、それぞれ入力端子、出力端子、制御電圧用端子を示している。FET21、22にまったく同じものを用いれば、製造時の条件の変動による特性のバラツキは相殺され、FET21のゲート・ソース間電圧 V_{gs1} とFET22のゲート・ソース間電圧 V_{gs2} が等しくなる。したがって、FET22のゲートに与える制御電圧を低電位側電圧 V_{ss} に対して常に一定の電位差となるようにすれば、ゲート・ソース間電圧 V_{gs1} すなわちソースホロワ型レベルシフト回路としてのレベルシフト量が一定となる。

〔発明が解決しようとする課題〕

ところで、レベルシフト回路に対して制御電圧を与える回路としては、第3図あるいは第4図に

示す回路が知られている。第3図の回路は、デブリーション型のFET31と抵抗32で構成され、第4図の回路は、抵抗41、ダイオード42および分圧抵抗43、44で構成されている。

しかし、第3図の回路は、FET31のバラツキの影響を強く受け、所望の制御電圧を得にくい。また、第4図の回路では、ダイオード42でクランプした電圧を抵抗43および44で分圧して用いるため、温度特性が悪い。さらに、第3図または第4図の回路を基本とし、それぞれの回路の欠点を補償する方法もあるが、その場合には回路が複雑にならざるをえない。

本発明の課題は、このような問題点を解消することにある。

〔課題を解決するための手段〕

上記課題を解決するために本発明のレベルシフト回路は、ドレインが高電位側の電源に接続された第1のFETと、ドレインが第1のFETのソースに接続されソースが低電位側の電源に接続された第2のFETと、第1および第2のFETか

〔実施例〕

第1図は本発明の一実施例を示す回路図である。この実施例のレベルシフト回路は、エンハンスメント型のFET1および2を直列に接続したソースホロワ型レベルシフト回路と、インバータを基本回路とする制御電圧供給回路5とで構成されている。

ソースホロワ型レベルシフト回路において、FET1のドレインは高電位側の電圧 V_{dd} に接続され、FET2のソースは停電位側の電圧 V_{ss} に接続されている。制御電圧供給回路5は、このソースホロワ型レベルシフト回路に対して並列に接続されている。制御電圧供給回路5に用いられているインバータは、DCFL(Direct Coupled FET Logic)の基本回路であり、ゲート・ソース間が短絡されたデブリーション型のFET4を負荷素子とし、エンハンスメント型のFET3をスイッチング素子とするいわゆるE/D型インバータである。E/D型インバータは、スイッチング素子のゲートに与えられた入力信号を反転してスイ

ちなる直列回路に対して並列に接続されると共に入力端子と出力端子が短絡されて第2のFETのゲートに接続されたインバータとを有し、第1のFETのゲートを入力端子とし第1のFETのソースを出力端子とするものである。すなわち、本発明のレベルシフト回路は、第1のFETと第2のFETとでソースホロワ型レベルシフト回路が構成され、このソースホロワ型レベルシフト回路に対して並列に接続されると共に入力端子と出力端子が短絡されて第2のFETのゲートに接続されたインバータを制御電圧供給回路として付加したものである。

〔作用〕

インバータの入力と出力を短絡させると出力電圧はインバータの論理しきい値電圧となる。この電圧は製造バラツキの影響および温度変動の影響を受けにくい。また、このインバータにおける電源電圧の変動による論理しきい値電圧の変動分は、電源電圧の変動がソースホロワ型レベルシフト回路に与える影響を相殺するように作用する。

スイッチング素子と負荷素子の接続点から出力信号を取り出すものであるが、ここでは入力端子と出力端子とが短絡されている。インバータの入力端子と出力端子を短絡させると、その出力電圧はインバータの論理しきい値電圧になる。すなわち、制御電圧供給回路5はインバータの論理しきい値電圧を制御電圧として出力し、この制御電圧はFET2のゲートに印加される。FET1のゲートには入力端子6が接続され、FET1のソースとFET2のドレインとの接続点には出力端子7が接続されている。なお、符号8および9はそれぞれ高電位側電源端子および低電位側電源端子を示している。

つぎに、このように構成された本実施例のレベルシフト回路の動作を説明する。制御電圧供給回路5から出力される制御電圧と低電位側電圧 V_{ss} によってFET2のゲート・ソース間電圧 V_{gs2} が決まる。そして、FET1のゲート・ソース間電圧 V_{gs1} はゲート・ソース間電圧 V_{gs2} の値に応じて一義的に決まる。この実施例では、FET

1.とFET 2が全く同一に作られているので、製造時の条件変動によるバラツキは相殺され、ゲート・ソース間電圧 V_{gs1} とゲート・ソース間電圧 V_{gs2} は常に等しくなる。

制御電圧供給回路5はFET 1および2に対して並列に接続されているので、電源電圧の変動はFET 1及びFET 4のドレイン・ゲート間電圧の変化によって吸収される。したがってゲート・ソース間電圧 V_{gs2} は電源電圧の変動の影響を受けず安定しており、ゲート・ソース間電圧 V_{gs2} が電源電圧の電源電圧に対して安定すればゲート・ソース間電圧 V_{gs1} も安定する。このため、本実施例のレベルシフト回路は電源電圧の変動に対して安定したレベルシフト量を得られる。すなわち、入力端子6に入力された信号電圧は、ゲート・ソース間電圧 V_{gs1} だけレベルシフトした電圧として出力端子7から出力される。

つぎに、制御電圧のプロセスによるバラツキおよび温度による変動の影響について説明する。

一般に、DCFL回路によるICではIC全体

ラツキや温度変動の影響もほとんど受けない。したがって、極めて安定したレベルシフトを行うことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来からある一般的なソースホロワ型レベルシフト回路を示す図、第3図および第4図はそれぞれ従来の制御電圧供給回路を示す図である。

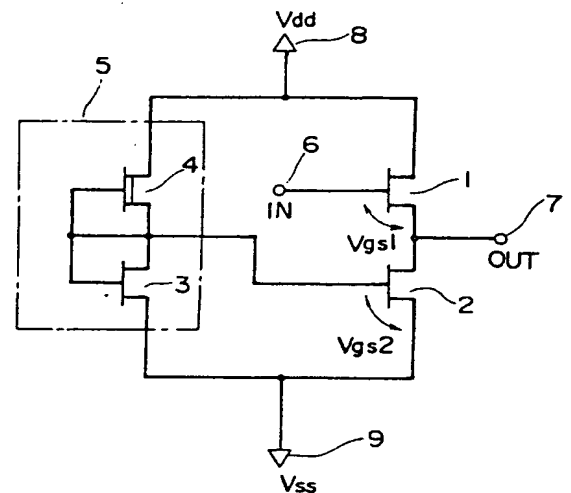
1…エンハンスメント型FET、2…ディブリーション型FET、3…制御電圧供給回路、4…入力端子、5…出力端子、6…高電位側電源端子、7…低電位側電源端子、8…高電位側電源端子、9…低電位側電源端子。

の動作余裕度を高くするために、インバータのスイッチFETと負荷FETは論理しきい値が温度変動の影響を受けないように設計される。発明者らが実際に作製しているICによれば、0～120℃の温度範囲で論理しきい値が±25mVしか変化しない。また、論理振幅の小さなDCFL回路によるICを歩留まりよく作製するために、論理しきい値のプロセスばらつきが±25mV程度に収まるようにプロセスコントロールする技術は既に確立されている。したがって、実際に使用されるICの内部においては、インバータの論理しきい値電圧は±50mV程度しか変動しない。

制御電圧供給回路5はこのようなインバータを基本回路とするものであるから、本実施例のレベルシフト回路のレベルシフト量のバラツキは±50mVに抑えられる。

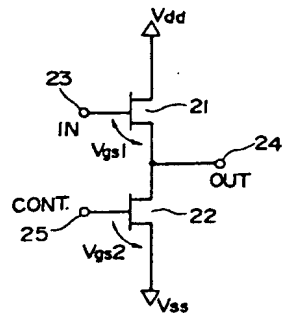
〔発明の効果〕

以上説明したように、本発明のレベルシフト回路によれば、レベルシフト量が電源電圧変動の影響を受けず、また、製造プロセスを原因とするバ

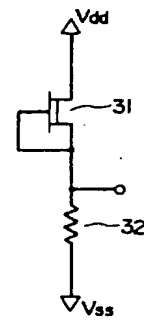


実施例
第1図

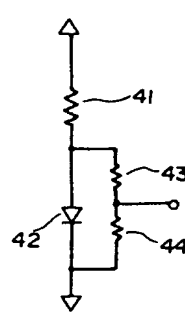
代理人弁理士 長谷川 芳 樹
同 塩 田 辰 也



ソースホロワ型レベルシフト回路
第 2 図



定電流源回路
第 3 図



定電流源回路
第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.